

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-166983
(P2001-166983A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl. ⁷	識別記号	F I	デマコード(参考)
G 0 6 F 12/00	5 7 1	G 0 6 F 12/00	5 7 1 B 5 B 0 1 3
9/34	3 5 0	9/34	3 5 0 A 5 B 0 3 3
9/38	3 1 0	9/38	3 1 0 X 5 B 0 4 5
I3/362	5 1 0	I3/362	5 1 0 A 5 B 0 6 0
15/16	6 1 0	15/16	6 1 0 F 5 B 0 6 1

審査請求 未請求 請求項の数2 O L (全9頁) 最終頁に統く

(21)出願番号 特願平11-349115

(22)出願日 平成11年12月8日(1999.12.8)

(71)出願人 000243881
名古屋電機工業株式会社
愛知県名古屋市中川区横堀町1丁目36番地

(72)発明者 堀場 勇夫
愛知県刈谷市東境町新林50-2

(72)発明者 大庭 興二
愛知県海部郡美和町大字篠田字面徳29-1
名古屋電機工業株式会社美和工場内

(72)発明者 山田 宗男
愛知県海部郡美和町大字篠田字面徳29-1
名古屋電機工業株式会社美和工場内

(74)代理人 100081455
弁理士 橋 哲男

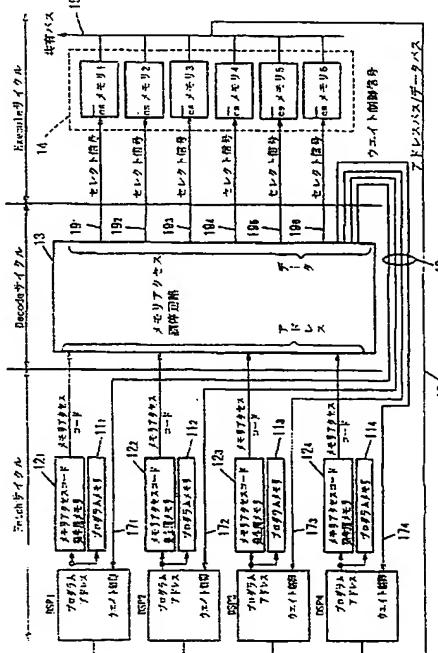
最終頁に統く

(54)【発明の名称】マルチプロセッサ型処理装置における共有メモリアクセス方法およびその装置

(57)【要約】 (修正有)

【課題】高速かつ柔軟性に富んだマルチプロセッサ型処理装置における共有メモリアクセス方法とその装置を提供すること。

【解決手段】複数個のDSP(デジタル・シグナル・プロセッサ)1~4と共有メモリ14とかなるマルチプロセッサ型の処理装置において、メモリアクセス調停回路13を付設するとともに、各DSPのそれぞれにメモリアクセスコード発生用メモリ121~124を付設し、メモリアクセスコード発生用メモリは、命令取り出し(Fetch)サイクルにおいて各DSPから出力されたプロムアドレスに対応したメモリアクセスコードを前記メモリアクセス調停回路に送出し、メモリアクセス調停回路は、次の命令解読(Decode)サイクルにおいてメモリアクコードを比較照合することによって予め定めた優先順位に従って共有メモリへのアクセス順序を決定し、続く命令実行(Execute)サイクル時に最も優先順位の高いDSPを共有メモリに接続するように制御する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 複数個のDSP(デジタル・シグナル・プロセッサ)と共有メモリとからなるマルチプロセッサ型の処理装置において、複数個のDSPと共有メモリとの間にハードウェア構成になるメモリアクセス調停回路を付設するとともに、各DSPのそれぞれにメモリアクセスコード発生用メモリを付設し、各メモリアクセスコード発生用メモリは、命令取り出し(Fetch)サイクルにおいて各DSPから出力されたプログラムアドレスに対応したメモリアクセスコードを前記メモリアクセス調停回路に送出し、メモリアクセス調停回路は、次の命令解読(Decode)サイクルにおいて各メモリアクセスコード発生用メモリから出力されたメモリアクセスコードを比較照合することによって予め定めた優先順位に従って共有メモリへのアクセス順序を決定し、続く命令実行(Execute)サイクル時に最も優先順位の高いDSPを共有メモリに接続するように制御することを特徴とするマルチプロセッサ型処理装置における共有メモリアクセス方法。

【請求項2】 複数個のDSPと、

該複数個のDSPによってアクセスされる共有メモリと、

各DSPのそれぞれに付設され、命令取り出し(Fetch)サイクルにおいて各DSPから出力されたプログラムアドレスに対応したメモリアクセスコードを出力するメモリアクセスコード発生用メモリと、

前記複数個のDSPと共有メモリとの間に付設され、命令解読(Decode)サイクルにおいて前記各メモリアクセスコード発生用メモリから出力されたメモリアクセスコードを比較照合することによって予め定めた優先順位に従って共有メモリへのアクセス順序を決定し、命令実行(Execute)サイクル時に最も優先順位の高いDSPを共有メモリに接続するように制御するハードウェア構成になるメモリアクセス調停回路と、

を備えたことを特徴とするマルチプロセッサ型処理装置における共有メモリアクセス装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、共有メモリに記憶されたデータを複数のDSP(デジタル・シグナル・プロセッサ)で処理するマルチプロセッサ型の処理装置において、共有メモリに対するアクセスを高速化するマルチプロセッサ型処理装置における共有メモリアクセス方法とその装置に関するものである。

【0002】

【従来の技術】 従来、多量のデータを高速で処理する場合に複数のDSPと共有メモリから構成するマルチプロセッサ型の処理装置を採用した場合、柔軟性はあるものの、高速性を意識したプロセッサ制御が欠かせない。特

10 に、メモリアクセスの競合は大きな問題となる。

【0003】 このマルチプロセッサ型処理装置におけるメモリアクセスの競合問題は、基本的にはソフトウェアによる調停で対処できるが、ソフトウェア負荷が大きくなることから処理の高速性が期待できない。また、最近のDSPはマルチプロセッシングを意識して内部にバス調停機能を持つものもあり、この機能を用いればソフトウェアはバス調停を意識することなくプログラムを組むことができる。しかし、この調停方法についても十分な最適化がなされているとは考えにくく、高速性への影響を免れ得ない。

【0004】

【発明が解決しようとする課題】 本発明は、上記のような問題を解決するためになされたもので、柔軟性に優れたマルチプロセッサ型のアーキテクチャを採用し、マルチプロセッサ型の最も大きな問題であるメモリアクセスの競合問題については、ハードウェア構成になる専用のメモリアクセス調停回路を付設することにより、高速かつ柔軟性に富んだマルチプロセッサ型処理装置における共有メモリアクセス方法とその装置をバス調停機能を持たないDSPによって提供することを目的とするものである。

【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明の共有メモリアクセス方法は、複数個のDSP(デジタル・シグナル・プロセッサ)と共有メモリとからなるマルチプロセッサ型の処理装置において、複数個のDSPと共有メモリとの間にハードウェア構成になるメモリアクセス調停回路を付設するとともに、各DSPのそれぞれにメモリアクセスコード発生用メモリを付設し、各メモリアクセスコード発生用メモリは、命令取り出し(Fetch)サイクルにおいて各DSPから出力されたプログラムアドレスに対応したメモリアクセスコードを前記メモリアクセス調停回路に送出し、メモリアクセス調停回路は、次の命令解読(Decode)サイクルにおいて各メモリアクセスコード発生用メモリから出力されたメモリアクセスコードを比較照合することによって予め定めた優先順位に従って共有メモリへのアクセス順序を決定し、続く命令実行(Execute)サイクル時に最も優先順位の高いDSPを共有メモリに接続するようにしたものである。

【0006】 また、本発明の共有メモリアクセス装置は、複数個のDSPと、該複数個のDSPによってアクセスされる共有メモリと、各DSPのそれぞれに付設され、命令取り出し(Fetch)サイクルにおいて各DSPから出力されたプログラムアドレスに対応したメモリアクセスコードを出力するメモリアクセスコード発生用メモリと、前記複数個のDSPと共有メモリとの間に付設され、命令解読(Decode)サイクルにおいて前記各メモリアクセスコード発生用メモリから出力されたメモリアクセ

スコードを比較照合することによって予め定めた優先順位に従って共有メモリへのアクセス順序を決定し、命令実行(Execute)サイクル時に最も優先順位の高いDSPを共有メモリに接続するように制御するハードウェア構成になるメモリアクセス調停回路とより構成したものである。

【0007】このような構成とした場合、次に述べる原理説明で明らかとなるように、ウェイト期間をまったく挟むことなしに各DSPにそれぞれの処理を実行させることができ。したがって、画像処理回路全体から見たとき、見掛け上、各命令実行(Execute)サイクルを1サイクル毎に次々と処理でき、極めて高速に処理を実行することができるものである。

【0008】以下、本発明の原理について詳細に説明するが、本発明の詳細な説明に入る前に、先ず従来のバス調停機能を持つDSPによるマルチプロセッサ型の処理装置の問題点について述べる。

【0009】いま、例えば図3に示すように、DSPとして4個のDSPを用い、この4個のDSP1～DSP4がnサイクル目で同時に共有メモリにアクセスする場合を考える。ただし、ここでは各DSPがその内部にバス調停機能を備えており、若番号順にメモリアクセスの優先権が与えられているものとする。

【0010】図3に示すように、DSP1が共有メモリにアクセスする期間は、DSP1が共有バスを独占するため、他のDSP2～DSP4はその間“ウェイト1”状態となる。そして、次のn+1サイクル目はDSP1によるバス調停期間のため“ウェイト2”状態となり、結局DSP2はn+2サイクル目で共有メモリにアクセスすることができる。同様に、DSP3はn+3サイクル目がバス調停期間となることから、n+4サイクル目で共有メモリにアクセスすることができる。

【0011】このように、従来のバス調停の場合、調停期間として1サイクル以上のウェイト期間が発生することになり、それだけ処理が遅れてしまう。

【0012】上記したバス調停の処理手順を観察すると、従来のマルチプロセッサ型の処理装置を用いた場合において処理が遅れる原因は、各DSPが共有メモリに実際にアクセスする段階で他のDSPとの競合状態を判断して調停を行ない、1サイクル以上のウェイト期間を挟みながら処理を実行していくところに起因するものである。

【0013】そこで、本発明では、DSP間の調停をソフトウェアや上記した従来のバス調停機能を用いるのではなく、ハードウェア構成になる専用のメモリアクセス調停回路を用い、各DSPの共有メモリに対するアクセス状態を命令実行(Execute)サイクル到達前に検出してその処理順位を判断することにより、ウェイト期間を挟むことなく連続的に処理を実行するようにしたものである。

【0014】

【発明の実施の形態】次に、図1および図2を参照して本発明の実施の形態について説明する。なお、図1は本発明のマルチプロセッサ構成になる処理装置のブロック図、図2はその動作シーケンスであって、例えばDSPを4個並列動作させることによりマルチプロセッサ構成とした場合の例を示すものである。

【0015】図1において、DSP1～4は4個のデジタル・シグナル・プロセッサ、11, 12, 13, 14は各DSP1～4に付設されたプログラムメモリ、15は各DSP1～DSP4に付設されたメモリアクセスコード発生用メモリ、16はメモリアクセス調停回路、17は6個のメモリチップ群で構成された共有メモリ、18は共有メモリ17に対してデータを書き込みあるいは読み出すための共有バス、19は共有バスと各DSP1～DSP4間を結ぶアドレス・バス/データ・バスである。

【0016】DSP1～DSP4は、ウェイト制御端子17, 18, 19を備えており、バス調停時、メモリアクセス調停回路13はウェイト制御信号線18を通じてウェイト制御端子17, 18, 19にウェイト指令信号を送出するとともに、セレクト信号線19, 19を通じて共有メモリ14を構成する各メモリチップ1～6にセレクト信号を送るように構成されている。

【0017】次に、この図1の処理装置の処理動作を命令取り出し(Fetch)サイクル、命令解読(Decode)サイクル、命令実行(Execute)サイクルの各サイクル毎に説明する。

【0018】(1) 命令取り出し(Fetch)サイクル
各DSP1～DSP4から外部に出力されるプログラムアドレスにより、プログラムメモリ11, 12, 13上のプログラム命令が各DSP1～DSP4に読み込まれる。これに同期して、各メモリアクセスコード発生用メモリ14, 15は、上記プログラムアドレスに対応したメモリアクセスコードをメモリアクセス調停回路13に出力する。

【0019】(2) 命令解読(Decode)サイクル
各DSP1～DSP4の内部では、読み込まれたプログラム命令が解読される。一方、メモリアクセス調停回路13では、各メモリアクセスコード発生用メモリ11, 12, 13から送られてきたメモリアクセスコードをアドレス情報として入力し、各DSP間におけるメモリアクセスの競合状態を検出する。そして、競合が発生する場合は各DSPに予め付けられている優先順位に従って優先度の高いDSP、例えばDSP1が1つだけアクセス許可され、優先度の低い他のDSP2～DSP4には、アクセス禁止を示すウェイト制御信号が準備される。同時に、共有メモリ14に対しては、アクセスを許可されたDSP1がアクセスするメモリチップを選択するためのセレクト信号が準備される。

【0020】(3) 命令実行(Execute) サイクル
この命令実行(Execute) サイクルでは、メモリアクセス調停回路13からメモリアクセスを許可されなかったDSP2～DSP4のウェイト制御端子17₂～17₄に對してウェイト制御信号が出力される。同時に、アクセスを許可されたDSP1がアクセスするメモリチップを選択するためのセレクト信号がセレクト信号線19₁～19₄を通じて共有メモリチップ14に送出される。これにより、DSP間の競合や遅延を発生させることなくDSP1から共有メモリ14へのアクセスが速やかに実行され、アクセス許可を受けたDSPはプログラム命令に記述されている処理に従って、アドレス・バス/データ・バス16を通じて共有メモリ14の指定のメモリチップから必要なデータを読み出し、あるいは必要なデータを書き込む。

【0021】以上の処理を命令取り出し(Fetch)サイクル、命令解読(Decode)サイクル、命令実行(Execute)サイクルの各サイクル毎に順次繰り返すことにより、4個のDSP1～DSP4は、図2に示すようなタイミングでそれぞれの処理を繰り返し実行していく。

【0022】ここで、各DSPのプログラム命令に着目すると、図2に示すように、各DSPの命令実行(Execute)サイクルは連続する3段のハイブライン構成となることから、それぞれの命令実行(Execute)サイクルにおけるプログラム命令は常に2サイクル前の命令取り出し(Fetch)サイクルで読み込まれていることになる。このことは、命令実行(Execute)サイクルで必要なメモリアクセス命令が命令取り出し(Fetch)サイクルの段階で事前に得られることを意味する。

【0023】このように、命令取り出し(Fetch)サイクルにおけるメモリアクセスコードを基に、命令解読(Decode)サイクルでメモリアクセス調停回路13によりバス競合の調停準備を行ない、命令実行(Execute)サイクルにおいて各DSPのウェイト制御と共有メモリのセレクト制御を行なうことで、複数個のDSPのメモリアクセス処理の競合を回避しながらハイブライン構成とすることでき、画像処理回路全体から見てウェイト時間のないメモリアクセスを達成することができる。この結果、極めて高速な画像処理を実現できるとともに、マルチプロセッサ構成の処理装置が本来的に有している処理の柔軟性も同時に実現させることができる。

【0024】ちなみに、図3に示した従来のバス調停では、優先度の最も低いDSP4は、優先度の最も高いDSP1が共有メモリにアクセスした後、6サイクル目で初めて共有メモリにアクセスできるのに対し、本発明による場合は、図2に示すように3サイクル目でアクセスすることができる。

【0025】次に、本発明をヒデオフレームレートによる高速処理を必要とする画像処理に応用した場合の具体例について、図4および図5を参照して説明する。図4

は本発明を移動体検知装置に応用した例を示すブロック図、図5はその動作シーケンスである。

【0026】図4において、1は検知対象とする高速道路や一般道路の路面を上方から俯瞰撮影するテレビ(TV)カメラ、2はテレビカメラ1から送られてくるビデオ信号をデジタル信号に変換するAD変換器とハイブライン制御用のシーケンスコントローラ(SEQ)を一体に組み込んだAD-SEQボード、3はテレビカメラ1で撮影される画像を基に背景差分処理(例えば、本出願人の特公平7-114494号公報に提案の処理)によって画像中から車両などの移動物体を抽出する背景差分処理ボード、4は背景差分処理結果を利用して所望の車両追跡処理を行なう車両追跡処理ボード、5は車両追跡処理結果を利用してさまざまな交通流を計測するホストCPUボード、6はCRTやプリンタなどの出力装置、7はキーボードなどの入力装置、8、9は入出力インターフェース(I/O)である。

【0027】前記背景差分処理ボード3および車両追跡処理ボード4は、それぞれ、前述した図1に示したDSPを4個並列接続したマルチプロセッサ構成の画像処理回路とされており、これらボードの具体的な回路仕様を挙げると次の通りである。

【0028】(1) 使用DSP
ADSP-21020(ANALOG DEVICES社製) × 4個

(2) システムクロック
20MHz

(3) 共有メモリ(画像メモリ)
メモリ1,2 → 512画素 × 512画素 × 8 bit

メモリ3,4 → 512画素 × 512画素 × 32 bit

メモリ5,6 → 512画素 × 512画素 × 8 bit

(4) システムバス
VMEバス準拠

(5) 画像転送バス
ハイブラインバス入力 × 1

ハイブラインバス出力 × 1

ランダムバス × 2

モニタバス × 1

【0029】テレビカメラ1は、図6に示すように、検知対象とする路面に向けて、道路上所定高さ位置に固定配置されている。このテレビカメラ1による撮影画像の例を図7に示す。画像中の符号20は走行車両である。
40

【0030】テレビカメラ1による撮影画像は、入出力インターフェース8を介してAD-SEQボード2に送られる。AD-SEQボード2は、内蔵のAD変換回路により入力してきた撮影画像をサンプリングして取り込み、このサンプリングした撮影画像をハイブラインバスを経由して次段の背景差分処理ボード3へ転送する(図5(a)参照)。背景差分処理ボード3は、図8に示すように、撮影画像から背景画像を減算する背景差分処理を行ない、撮影画像中から走行車両20を抽出し、この

差分画像をバイオラインバスを経由して次段の車両追跡処理ボード4へ転送する(図5(b)参照)。

【0031】なお、この背景差分処理を行なう際に用いる背景画像としては、予め格納しておいた背景画像を固定的に用いてもよいが、最も好ましくは、本出願人の提案になる前述した特公平7-114194号の移動体検知装置で採用した背景画像生成手法を利用することが望ましい。この背景画像生成手法は、一定間隔毎にテレビカメラ1で撮影される撮影画像をデジタル濃度データに変換する手段と、該デジタル濃度データに変換された撮影画像と背景画像の対応する画素同志の濃度差分を求める手段と、該得られた濃度差分値に応じて背景画像への帰還濃度値を決定する手段と、該決定された帰還濃度値を背景画像へ帰還して加算する手段と、該加算後の画像を新たな背景画像として記憶する手段とを付設することにより実現できる。このような背景画像生成手法を採用した場合、気象条件や時間によって外界の状況が変化しても、常にその時点の状況に則した最適な背景画像を得ることができる。

【0032】車両追跡処理ボード4は、入力された差分画像から対象車両の検出を行ない、車両の移動軌跡から車両の追跡処理を行なう(図5(c)参照)。そして、ホストCPUボード5はこの結果を受け、個別車両の存在位置からさまざまな交通流、例えば、車両速度、通過車両数、走行違反車などの計測項目を導出する(図5(d)参照)。

【0033】各ボード間のバス接続には、バイオラインバスとランダムバス(2系統)があり、交通流計測のようにビデオフレームレートに追従する高速性が要求される場合は、図示したようにマルチプロセッサ型で構成されている背景差分処理ボード3と車両追跡処理ボード4自体のバイオライン結合することにより、図5に示すように各ボード間においてもバイオライン処理を実現することができ、システム全体としての高速性をさらに確保することができる。

【0034】一方、ランダムバスによる場合は、隣接ボード間の転送に限らず任意のボードへの転送が可能となり、柔軟性のあるシステムを構築する場合に有効である。さらに、その他のバスとして、演算結果をモニタ画面などに表示するための専用転送バスとしてモニタバス、各ボードをコントロールするためのコントロールバスを備えているので、交通流のリアルタイム監視に優れた効果を発揮する。

【0035】前記応用例における背景差分処理と車両追跡処理の処理時間の合計は112msとなるが、各ボード間をバイオラインバスにより結合し、各ボード間の処理も図5に示すようにバイオライン処理していることから、装置全体から見た繰り返しの処理周期は6.6msとすることができた。したがって、テレビカメラ1のビデオフレームレートの2フレームに1回の処理サイクル

で交通状態の計測が可能となり、従来構成の移動体検知装置に比べて格段に高速化することができる。

【0036】なお、メモリアクセス調停回路13における調停は、アドレス入力とデータ出力の組合せによって決定されるので、このすべての組合せを事前に求めてROMなどのメモリに書き込んでおき、調停時これを参照するようにすれば、メモリアクセス調停回路13の回路構成を極めて簡素化することができる。

【0037】また、前記応用例の場合、差分背景処理によって走行車両などの移動体を抽出する移動体検知装置の場合を例に取って説明したが、テレビカメラなどの撮影手段で撮影した画像を基に所望の画像処理によって抽出する形式の装置であればいずれの目的の画像処理に対しても適用可能である。さらに、高速処理を必要とする画像処理以外の分野にも本発明の方法および装置を適用することが可能である。

【0038】

【発明の効果】以上説明したように、本発明によれば、複数個のDSPと共有メモリを用いたマルチプロセッサ型の処理装置において、複数個のDSPと共有メモリとの間にハードウェア構成になるメモリアクセス調停回路を付設することにより、それぞれのDSPが命令実行サイクルに先る前にバス競合の調停を完了させ、ウェイト期間をまったく挿むことなしに各DSPに処理を実行させるようにしているので、極めて高速に処理を実行することができる。このため、高速で、かつ柔軟性に優れた共有メモリアクセス方法と装置を提供することができる。

【図面の簡単な説明】

【図1】図1は本発明のマルチプロセッサ構成になる処理装置のブロック図である。

【図2】図1の処理装置の動作シーケンスである。

【図3】バス調停機能を持つDSPによる動作シーケンスである。

【図4】本発明を移動体検知装置に応用した例を示すブロック図である。

【図5】上記応用例の動作シーケンスである。

【図6】テレビカメラの設置状態を示す図である。

【図7】テレビカメラによる撮影画像の例を示す図である。

【図8】差分演算処理の説明図である。

【符号の説明】

- 1 テレビカメラ
- 2 A/D-EQボード
- 3 背景差分処理ボード
- 4 車両追跡処理ボード
- 5 ホストCPUボード
- 6 出力装置
- 7 入力装置
- 8, 9 入出力インターフェース

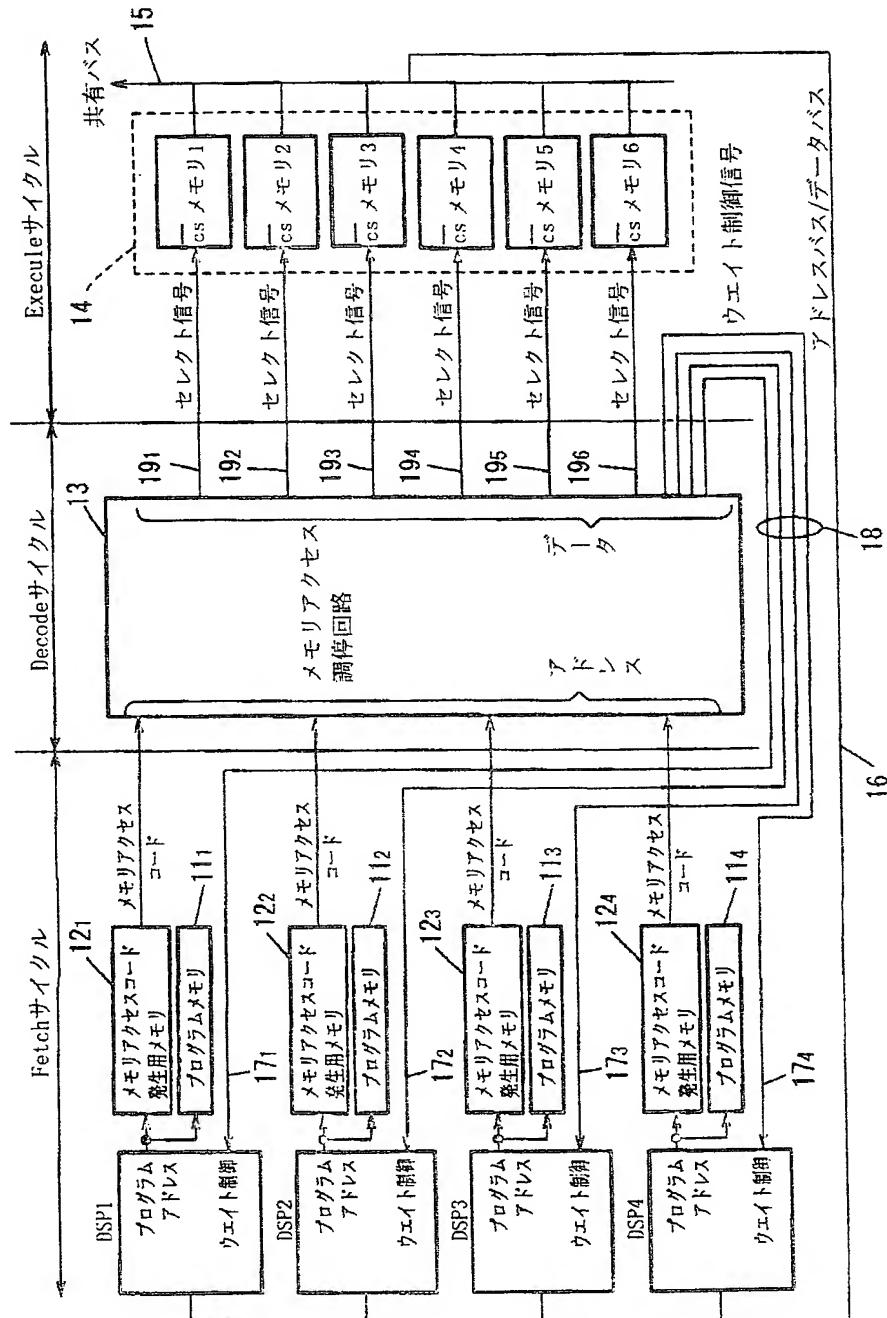
9

11, ~ 11₄ プログラムメモリ
12, ~ 12₄ メモリアクセスコード発生用メモリ
13 メモリアクセス調停回路
14 共有メモリ
15 共有バス

10

* 16 アドレス・バス/データ・バス
17, ~ 17₄ ウエイト制御端子
18 ウエイト制御信号線
19, ~ 19₆ セレクト信号線
* 20 走行車両

【図1】

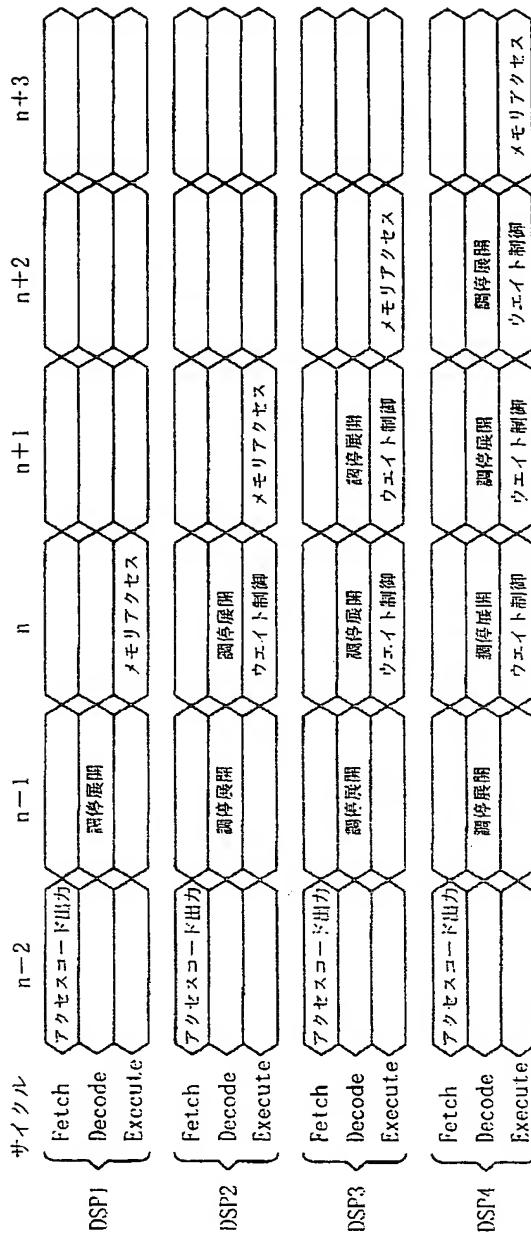


16

16 /

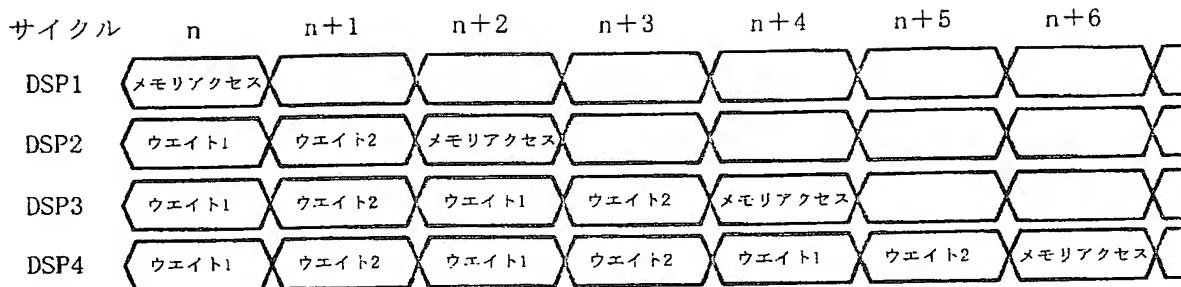
18

〔図2〕

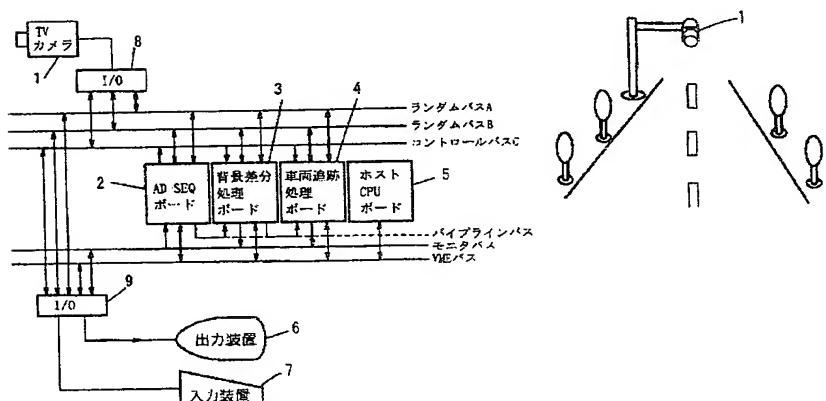


BEST AVAILABLE COPY

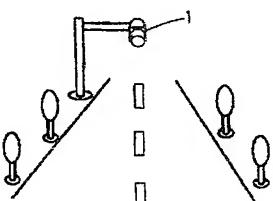
【図3】



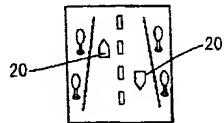
【図4】



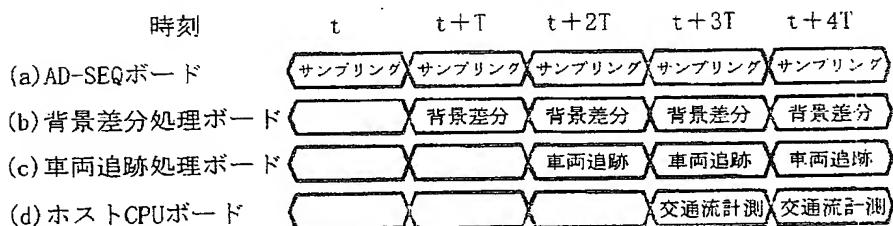
【図6】



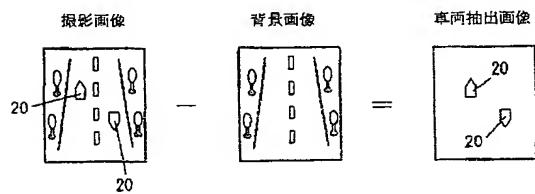
【図7】



【図5】



【図8】



フロントページの続き

(51)Int.Cl.
G 0 6 F 15/167
15/177 識別記号
6 8 2

(72)発明者 谷寄 敏也
愛知県海部郡美和町大字篠田字面徳29- 1
名古屋電機工業株式会社美和工場内
(72)発明者 上田 浩次
愛知県海部郡美和町大字篠田字面徳29- 1
名古屋電機工業株式会社美和工場内

F 1
G 0 6 F 15/167
15/177 (参考)
B
6 8 2 F

(72)発明者 池谷 和夫
愛知県海部郡美和町大字篠田字面徳29- 1
名古屋電機工業株式会社美和工場内
F ターム (参考) 5B013 AA03
5B033 AA04 AA14 DB03 DB06
5B045 AA01 EE03 EE12 GG17
5B060 CD13 KA02 KA06
5R061 RA01 RB01 RC01 CG12

BEST AVAILABLE COPY

THIS PAGE LEFT BLANK